

## ⑫ 特 許 公 報 (B2)

平2-39136

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公告 平成2年(1990)9月4日

H 03 M 1/14

B

6832-5J

発明の数 1 (全5頁)

⑮ 発明の名称 A/Dコンバータ

⑯ 特 願 昭56-107656

⑰ 公 開 昭58-9426

⑱ 出 願 昭56(1981)7月10日

⑲ 昭58(1983)1月19日

⑳ 発 明 者 関 野 武 男 神奈川県厚木市旭町4丁目14番1号 ソニー株式会社厚木工場内

㉑ 発 明 者 山 田 隆 章 神奈川県厚木市旭町4丁目14番1号 ソニー株式会社厚木工場内

㉒ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉓ 代 理 人 弁理士 松隈 秀盛

審 査 官 菅 野 嘉 昭

㉔ 参 考 文 献 特開 昭56-23026 (JP, A)

特開 昭56-58323 (JP, A)

特開 昭55-60333 (JP, A)

特開 昭57-131123 (JP, A)

1

2

## ㉕ 特許請求の範囲

1 アナログ入力電圧を  $(m+n)$  ビット ( $m$ ,  $n$  は正の整数) のデジタル出力信号に A/D 変換する A/D コンバータにおいて、

$2^m$  行  $\times$   $(2^n - 1)$  列のマトリックス状に配置された  $2^m \times (2^n - 1)$  個のスイッチ回路 Q と、

これらスイッチ回路 Q に  $(2^{m+n} - 1)$  ステップの基準電圧を供給する少なくとも  $(2^{m+n} - 1)$  個の抵抗器 R と、

上記スイッチ回路 Q の各行ごとに設けられ、上記基準電圧のうちの  $2^n$  ステップごとの基準電圧と、上記アナログ入力電圧とが供給される  $(2^m - 1)$  個の上位ビット用の電圧比較回路 M と、

上記スイッチ回路 A の各列ごとに設けられ、上記アナログ入力電圧と、上記スイッチ回路 Q の出力のうちの各行ごとの出力とが供給される下位ビット用の電圧比較回路 N と、

上記上位ビット用の電圧比較回路 M の出力をエンコードする第 1 のエンコーダと、

上記下位ビット用の電圧比較回路 N の出力をエンコードする第 2 のエンコーダとを有し、

上記抵抗器 R は、 $2^n$  個ごとに折り返されてジグザグ上にレイアウトされ、

上記スイッチ回路 Q には、上記基準電圧のうちの上記  $2^n$  ステップごとの基準電圧を除く基準電圧が供給され、

上記第 1 のエンコーダから上記アナログ入力電圧の上位  $m$  ビットの A/D 変換出力が取り出されるとともに、

上記スイッチ回路 Q の制御出力が取り出され、上記第 2 のエンコーダから上記アナログ入力電圧の下位  $n$  ビットの A/D 変換出力が取り出されるとともに、

上記第 1 のエンコーダの出力により、上記第 2 のエンコーダのエンコードが補正制御されるようにした A/D コンバータ。

## 発明の詳細な説明

15 高速の A/D コンバータには、主として第 1 図に示すような並列型と、第 2 図に示すような直並列型とがある。

すなわち、第 1 図の並列型 A/D コンバータは 8 ビットの A/D 変換を行う場合であるが、255 個の電圧比較回路  $A_1 \sim A_{255}$  を有し、この比較回路  $A_1 \sim A_{255}$  において、アナログ入力電圧  $V_{in}$  が 255 ステップの基準電圧  $V_1 \sim V_{255}$  とそれぞれ電圧比較され、その比較出力がエンコーダ ENC に供

## 3

給されて8ビットのデジタル出力 $D_0 \sim D_7$ が取り出される。

また、第2図の直並列型A/Dコンバータも8ビットのA/D変換を行うものであるが、入力電圧 $V_{in}$ が前段の4ビットの並列型A/Dコンバータに供給されて上位4ビットのデジタル出力 $D_7 \sim D_4$ が取り出される。そして、この4ビット $D_7 \sim D_4$ がD/AコンバータCONVに供給されてアナログ電圧 $V_m$ に変換され、電圧 $V_m$ と電圧 $V_{in}$ との差電圧( $V_{in} - V_m$ )が後段の4ビットの並列型A/Dコンバータに供給されて下位4ビットのデジタル出力 $D_3 \sim D_0$ が取り出される。

しかし、第1図の並列型A/Dコンバータでは、アナログ入力電圧 $V_{in}$ をnビットのデジタル出力に変換する場合、 $(2^n - 1)$ 個の電圧比較回路を必要とし、素子数が多くなつてIC化した場合のチップサイズが大きくなると共に、消費電力が大きくなってしまう。

その点、第2図の直並列型A/Dコンバータでは、 $(m+n)$ ビットのデジタル出力に変換する場合でも、電圧比較回路は $(2^m + 2^n - 2)$ 個でよく、従つて、チップサイズや消費電力を小さくできる。しかし、このコンバータでは、D/AコンバータCONVを必要としてしまう。しかも、上位ビット変換用の前段のA/Dコンバータと、D/AコンバータCONVとの間に誤差があると、これがそのまま変換誤差として現れ、上位ビットと下位ビットとの接なぎ目で誤差を生じてしまう。すなわち、アナログ入力電圧 $V_{in}$ が例えば単調増加していくとき、デジタル出力の下位ビットから上位ビットへ桁上げがある点で、デジタル出力が小さくなり、単調増加しなくなってしまう。

この発明は、これらの問題点を一掃したA/Dコンバータを提供しようとするものである。

以下その一例について説明しよう。なお、この例においてはアナログ入力電圧 $V_{in}$ を4ビットのデジタル出力 $D_3 \sim D_0$ に変換する場合である。

第3図において、上位ビット用として3個の電圧比較回路 $M_1 \sim M_3$ が設けられると共に、下位ビット用として3個の電圧比較回路 $N_1 \sim N_3$ が設けられ、これら比較回路 $M_1 \sim M_3$ 、 $N_1 \sim N_3$ にアナログ入力電圧 $V_{in}$ が共通に供給される。また、基準電圧源 $V_r$ と接地との間に、16個の互いに等しい値の抵抗器 $R_{16} \sim R_1$ が直列接続され、その4個

## 4

の抵抗器 $R_1 \sim R_4$ 、 $R_5 \sim R_8$ 、 $R_9 \sim R_{12}$ 、 $R_{13} \sim R_{16}$ をそれぞれ1組とし、その組と組との接続点、すなわち、抵抗器 $R_4$ と $R_5$ 、 $R_8$ と $R_9$ 、 $R_{12}$ と $R_{13}$ との各接続点が比較回路 $M_1 \sim M_3$ の入力端にそれぞれ接続される。

さらに、抵抗器 $R_1$ と $R_2$ 、 $R_7$ と $R_8$ 、 $R_9$ と $R_{10}$ 、 $R_{15}$ と $R_{16}$ との各接続点と、比較回路 $N_1$ の入力端との間に、MOS-FET( $Q_{11} \sim Q_{41}$ )のソース・ドレイン間がそれぞれ接続され、抵抗器 $R_2$ と $R_3$ 、 $R_6$ と $R_7$ 、 $R_{10}$ と $R_{11}$ 、 $R_{14}$ と $R_{15}$ との各接続点と、比較回路 $N_2$ の入力端との間に、MOS-FET( $Q_{12} \sim Q_{42}$ )のソース・ドレイン間がそれぞれ接続されると共に、抵抗器 $R_3$ と $R_4$ 、 $R_5$ と $R_6$ 、 $R_{11}$ と $R_{12}$ 、 $R_{13}$ と $R_{14}$ との各接続点と、比較回路 $N_3$ の入力端との間に、MOS-FET( $Q_{13} \sim Q_{43}$ )のソース・ドレイン間がそれぞれ接続される。

そして、比較回路 $M_1 \sim M_3$ の比較出力 $P_1 \sim P_3$ が上位ビット用のエンコードENCMに供給されてデジタル出力の上位2ビット $D_3$ 、 $D_2$ が取り出されると共に、制御信号 $B_1 \sim B_4$ が取り出され、この信号 $B_1 \sim B_4$ がFET( $Q_{11} \sim Q_{13}$ )、( $Q_{21} \sim Q_{23}$ )、( $Q_{31} \sim Q_{33}$ )、( $Q_{41} \sim Q_{43}$ )のゲートにそれぞれ供給される。

また、比較回路 $N_1 \sim N_3$ の比較出力 $Q_1 \sim Q_3$ が下位ビット用のエンコードENCNに供給されてデジタル出力の下位ビット $D_1$ 、 $D_0$ が取り出されると共に、エンコードENCMから制御信号 $S_0$ がエンコードENCNに供給される。

なお、第4図及び第5図にエンコードENCM、ENCNの真理値表を示す。

このような構成において、比較回路 $M_1 \sim M_3$ 、 $N_1 \sim N_3$ に供給される基準電圧を $V_{m1} \sim V_{m3}$ 、 $V_{n1} \sim V_{n3}$ とする。そして、今、アナログ入力電圧 $V_{in}$ が、例えば第3図に点①として示すように、抵抗器 $R_6$ と $R_7$ との接続点の電位に等しいとする。すると、点①の電位、すなわち、入力電圧 $V_{in}$ は、 $V_{in} > V_{m1}$ 、 $V_{in} < V_{m2}$ 、 $V_{in} < V_{m3}$ なので、 $P_1 = "1"$ 、 $P_2 = "0"$ 、 $P_3 = "0"$ となり、従つて、第4図から $D_3 = "0"$ 、 $D_2 = "1"$ となる。

また、このとき、 $B_1 = "0"$ 、 $B_2 = "1"$ 、 $B_3 = "0"$ 、 $B_4 = "0"$ になるので、FET( $Q_{21}$ 、 $Q_{22}$ 、 $Q_{23}$ )だけがオンとなり、抵抗器 $R_5 \sim R_8$ の各接続点の電位がFET( $Q_{21} \sim Q_{23}$ )を通じて比較回路 $N_1 \sim N_3$ に電圧 $V_{n1} \sim V_{n3}$ として供給される。そして、

5

このとき、入力電圧 $V_{in}$ は点①の電位に等しいので、 $V_{in} < V_{n1}$ ,  $V_{in} = V_{n2}$ ,  $V_{in} > V_{n3}$ であり、従って、 $Q_1 = "0"$ ,  $Q_2 = "1"$ ,  $Q_3 = "1"$ になると共に、第4図から $S_0 = "1"$ なので、第5図から $D_1 = "1"$ ,  $D_0 = "0"$ となる。

従って、アナログ入力電圧 $V_{in}$ が点①の電位に等しいときには、デジタル出力 $D_2 \sim D_0$ として“0110”が得られる。そして、点①の電位は、接地側から数えて第6番目のステップの電位であり（接地電位を0番目とする）、 $6 = "0110"$ であるから、 $D_2 \sim D_0 = "0110"$ は正しいデジタル出力である。

また、アナログ入力電圧 $V_{in}$ が、例えば第3図に点②として示すように、抵抗器 $R_9$ と $R_{10}$ との接続点の電位に等しいとすれば、点②の電位、すなわち、入力電圧 $V_{in}$ は、 $V_{in} > V_{n1}$ ,  $V_{in} > V_{n2}$ ,  $V_{in} < V_{n3}$ なので、 $P_0 = "1"$ ,  $P_2 = "1"$ ,  $P_3 = "0"$ となり、第4図から $D_1 = "1"$ ,  $D_2 = "0"$ となる。

また、このとき、 $B_1 = "0"$ ,  $B_2 = "0"$ ,  $B_3 = "1"$ ,  $B_4 = "0"$ になるので、FET( $Q_{31}$ ,  $Q_{32}$ ,  $Q_{33}$ )だけがオンとなり、抵抗器 $R_9 \sim R_{12}$ の各接続点の電位がFET( $Q_{31} \sim Q_{33}$ )を通じて比較回路 $N_1 \sim N_3$ に電圧 $V_{n1} \sim V_{n3}$ として供給される。そして、このとき、入力電圧 $V_{in}$ は点②の電位に等しいので、 $V_{in} = V_{n1}$ ,  $V_{in} < V_{n2}$ ,  $V_{in} < V_{n3}$ であり、従って、 $Q_1 = "1"$ ,  $Q_2 = "0"$ ,  $Q_3 = "0"$ になると共に、 $S_0 = "0"$ なので、第5図から $D_1 = "0"$ ,  $D_0 = "1"$ となる。

従って、アナログ入力電圧 $V_{in}$ が点②の電位に等しいときには、デジタル出力 $D_2 \sim D_0$ として“1001”が得られる。そして、点②の電位は、接地側から数えて第9番目のステップの電位であるから、 $D_2 \sim D_0 = "1001"$ は正しいデジタル出力である。

このようにして、この発明によれば、A/D変換が行われるが、この場合、特にこの発明によれば、例えば第3図にも示すように、抵抗器 $R_1 \sim$

6

$R_{16}$ の組ごとに得られる電圧とアナログ入力電圧 $V_{in}$ とを電圧比較してデジタル出力力の上位ビット $D_3$ ,  $D_2$ が得ると共に、その抵抗器の組を選択し、この選択された抵抗器の組の中の抵抗器ごと

5 に得られる電圧と入力電圧 $V_{in}$ とを電圧比較してデジタル出力の下位ビット $D_1$ ,  $D_0$ を得ているので、電圧比較回路の数を少なくできる。すなわち、デジタル出力の上位ビットが $m$ ビット、下位ビットが $n$ ビットとすれば、上位ビット用の電圧比較回路は $(2^m - 1)$ 個、下位ビット用の電圧比較回路は $(2^n - 1)$ 個となり、その数を少なくできる。従って、IC化したときのチップサイズを小さくできると共に、消費電力を小さくできる。

また、IC化するとき、各素子を例えば第3図15 に示すような位置関係にレイアウトできるので、半導体チップを有効に利用でき、この点からも小型化ができる。さらに、スイッチ回路 $Q_{11} \sim Q_{13}$ をマトリックス状に配置するとともに、基準電圧を与える抵抗器 $R_1 \sim R_{16}$ を、ジグザグ状にレイアウトしているので、ある抵抗器 $R$ と次の抵抗器 $R$ との間の配線の抵抗分を、一様にでき、したがって、正確な基準電圧を得ることができるので、高精度のA/D変換を行うことができる。

さらに、抵抗器 $R_1 \sim R_{16}$ から得られる電圧を、25 上位ビット $D_3$ ,  $D_2$ 及び下位ビット $D_1$ ,  $D_0$ を得るための基準電圧として共通に使用しているので、アナログ入力電圧 $V_{in}$ とデジタル出力 $D_2 \sim D_0$ との間の単調性が完全であり、誤差を生じることがない。

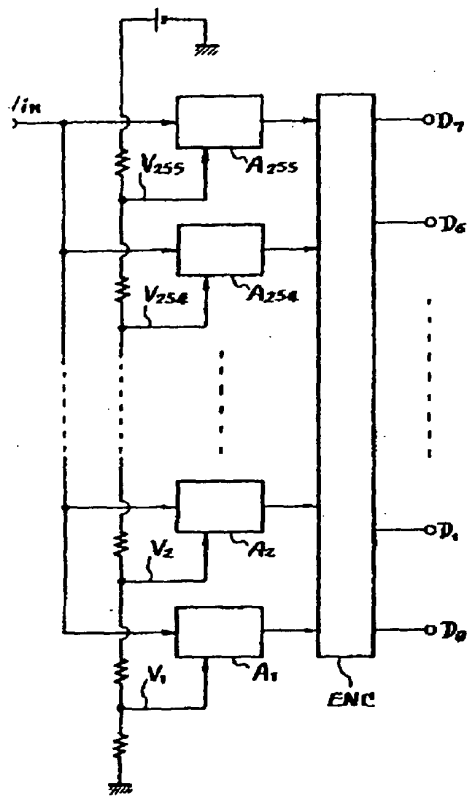
30 なお、上述において、抵抗器 $R_{16}$ はなくてもよい。

#### 図面の簡単な説明

第1図、第2図、第4図、第5図はこの発明を説明するための図、第3図はこの発明の一例の接続図である。

35  $M_1 \sim M_3$ ,  $N_1 \sim N_3$ は電圧比較回路、ENC $M$ , ENC $N$ はエンコードである。

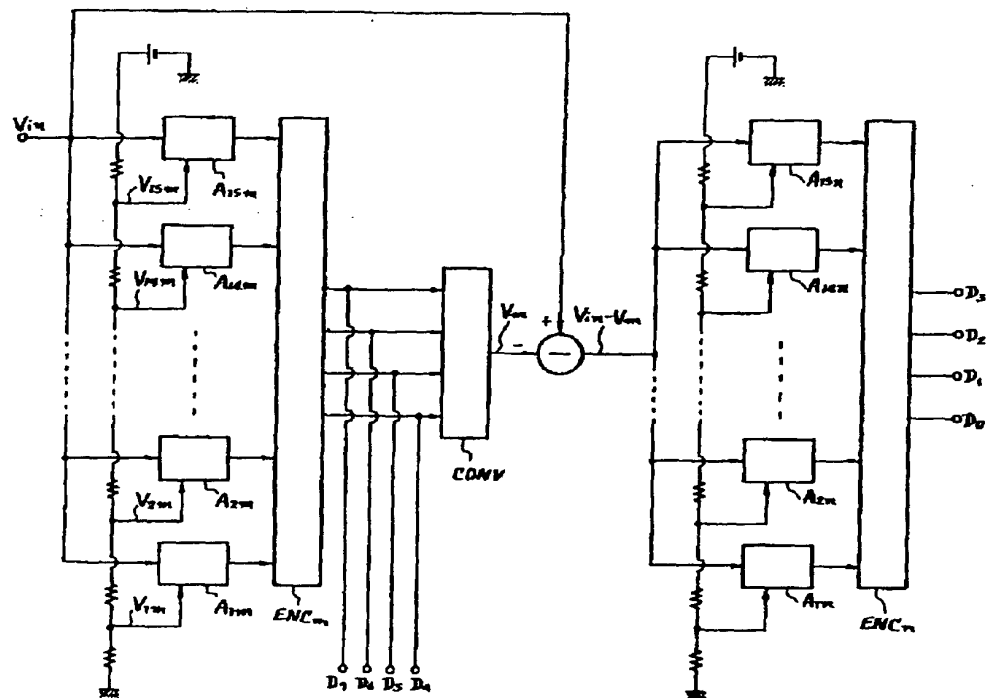
第1図



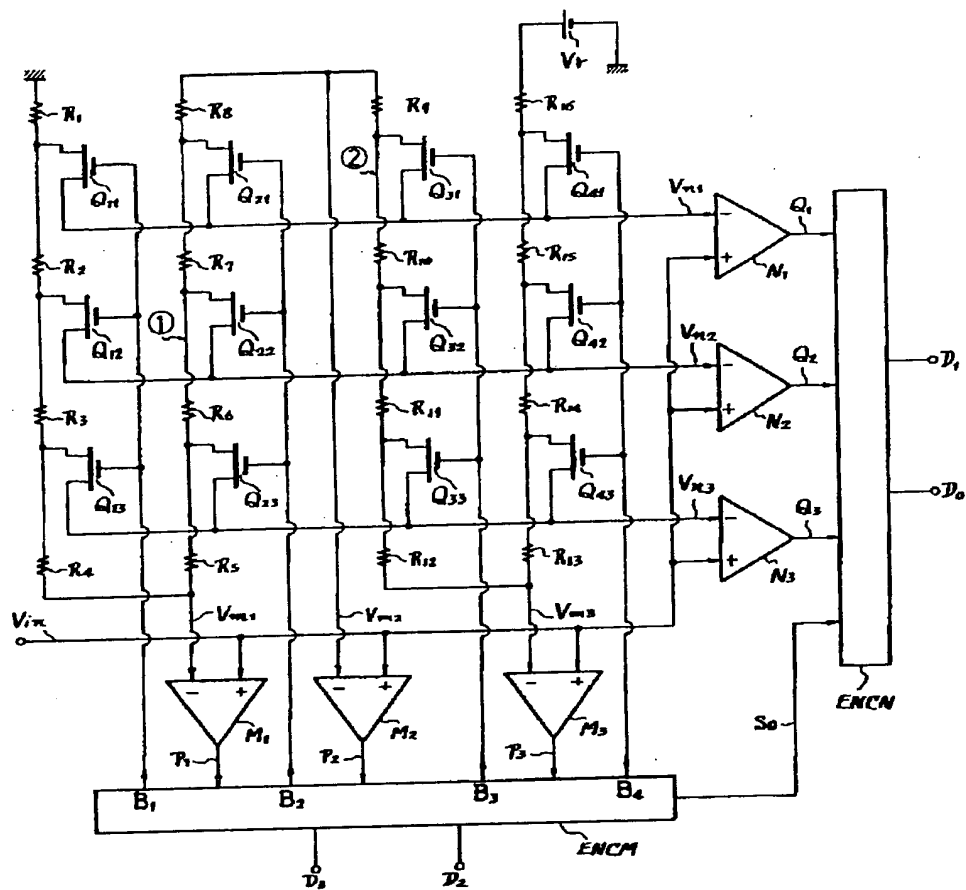
第5図

	$S_0$	$Q_1$	$Q_2$	$Q_3$	$D_1$	$D_0$
	0	0	0	0	0	0
②	0	1	0	0	0	1
	0	1	1	0	1	0
	0	1	1	1	1	1
	1	0	0	0	0	0
	1	0	0	1	0	1
①	1	0	1	1	1	0
	1	1	1	1	1	1

第2図



第3図



第4図

	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	S <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>
	0	0	0	1	0	0	0	0	0	0
①	1	0	0	0	1	0	0	1	0	1
②	1	1	0	0	0	1	0	0	1	0
	1	1	1	0	0	0	1	1	1	1